

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

04080862 ****Image available****

ACTIVE MATRIX TYPE DISPLAY DEVICE

PUB. NO.: **05-072562** [JP 5072562 A]

PUBLISHED: March 26, 1993 (19930326)

INVENTOR(s): INAMI TAKASHI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)
, JP (Japan)

APPL. NO.: 03-238312 [JP 91238312]

FILED: September 18, 1991 (19910918)

INTL CLASS: [5] G02F-001/136; G02F-001/133; G09F-009/30; H01L-027/12;
H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2 (ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION -- Other)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS); R119 (CHEMISTRY -- Heat Resistant Resins)

JOURNAL: Section: P, Section No. 1580, Vol. 17, No. 402, Pg. 5, July 27, 1993 (19930727)

ABSTRACT

PURPOSE: To improve display characteristics of an active matrix-type LCD.

CONSTITUTION: A part of a data bus line 32 is inserted and held between a channel part 23 and a picture element electrode 5 on a channel of a thin film transistor 2. By this constitution, the thin film transistor 2 for switching is covered with the data line 32 having extended width, which prevents generation of photoelectric current due to light irradiating the channel of the thin film transistor 2. Thereby, the off-current of the transistor 2 can be decreased. Further, at same time, overlapping between the picture element electrode 5 and a gate electrode 24 is eliminated, so that the cross talk capacitor can be decreased.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-72562

(43) 公開日 平成5年(1993)3月26日

(51) Int. Cl. 5
G02F 1/136 500 9018-2K
1/133 550 7820-2K
G09F 9/30 338 7926-5G
H01L 27/12 A 8728-4M
9056-4M H01L 29/78 311 N
審査請求 未請求 請求項の数 1 (全 5 頁) 最終頁に続く

(21) 出願番号 特願平3-238312

(22) 出願日 平成3年(1991)9月18日

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 居波 隆志
長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

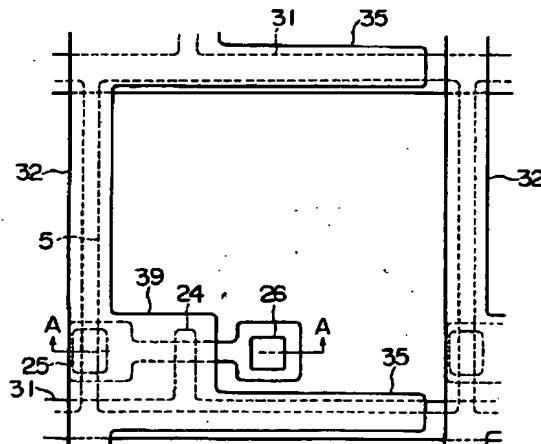
(74) 代理人 弁理士 長谷川 芳樹 (外3名)

(54) 【発明の名称】アクティブマトリクス型表示装置

(57) 【要約】

【目的】 アクティブマトリクス型LCDの表示特性を改良する。

【構成】 データバスラインの一部が、薄膜トランジスタのチャネル上で、チャネル部分と画素電極とに挟持されている。これによれば、スイッチ用の薄膜トランジスタは拡幅されたデータラインで覆われているので、光が薄膜トランジスタのチャネルに届いて光電流を生成させることがなくなり、薄膜トランジスタのオフ電流を低減する事ができる。更に、同時に画素電極とゲート電極とのオーバラップが無くなり、クロスタークキャパシタを低減する事ができる。



【特許請求の範囲】

【請求項 1】 複数本のゲートバスラインと複数本のデータバスラインが交差するように配設され、各々の交差位置にスイッチ用の薄膜トランジスタと画素電極とが形成され、データバスラインとゲートバスラインと薄膜トランジスタのチャネルが全部または部分的に画素電極とオーバラップした構造のアクティブマトリクス型表示装置において、

前記データバスラインの一部が、前記薄膜トランジスタのチャネル上で、チャネル部分と画素電極とに併持されていることを特徴とするアクティブマトリクス型表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はアクティブマトリクス型表示装置に関するもので、特に詳細には、スイッチとして薄膜トランジスタを用いるアクティブマトリクス型液晶ディスプレイ (LCD) に使用される。

【0002】

【従来の技術】 平板型のディスプレイ装置として、アクティブマトリクス型LCDが知られている。このようなLCDには、対向基板側に光シールドを有しないタイプのものがあり、その一例として図4および図5のものが知られている。これは、データバスラインとゲートバスラインと薄膜トランジスタとが画素電極とオーバラップし、これによって高開口率が達成されている。図4は一画素分の平面図、図5はそのA-A線断面図である。

【0003】 図4および図5の通り、支持基板1上には画素ごとにスイッチ用の薄膜トランジスタ2が設けられている。薄膜トランジスタ2は支持基板1にパターン形成した半導体薄膜21上にゲート酸化膜22を形成し、チャネル部分23に対応してゲート電極24を設けて構成される。このゲート電極24は支持基板1上のゲートバスライン31と一体になっており、このゲートバスライン31に直交するよう設けられたデータバスライン32は、薄膜トランジスタ2のソース25に接続されている。

【0004】 薄膜トランジスタ2上には薄い絶縁膜41と厚い絶縁膜42とが順次に形成され、この上面に薄膜トランジスタ2のドレイン26に接続された画素電極5が設けられている。このように構成された支持基板は、表面に透明な共通電極61が形成された対向基板62と組み合わされ、この間に液晶7が充填されている。なお、データバスライン32はゲートバスライン31上に延ばされて容量電極部35が形成され、これによって駆動時の状態保持のためのキャパシタが生成されている。

【0005】

【発明が解決しようとする課題】 このようなアクティブマトリクス型LCDでは、対向基板62側に光シールドが設けられていないため、薄膜トランジスタのオフ電流

が増大し、表示特性が損われる欠点があった。すなわち、前述のような高開口率のアクティブマトリクス型LCDやノーマリブラック表示のアクティブマトリクス型LCDでは、ゲート電極側から薄膜トランジスタに光が入射したとき、光電流によってオフ電流が増大する。光の入射の態様としては、多重反射によって薄膜トランジスタのチャネルに入射する場合の他、ゲート電極を透過してチャネルに入射する場合があるが、いずれにせよ、オフ電流の増大は非選択期間のデータの保持特性を悪化させ、LCDの表示特性を損う。更に、もう一つの欠点として、画素電極とゲート電極とがオーバラップしている事がある。この部分はアクティブマトリクス型LCDにおいていわゆるクロストークキャパシタを形成するが、公知の様に、クロストークによる電圧シフトはあらゆる表示や素子バイアスの状態において補償できるものではなく、やはりLCDの表示特性を損う原因になっている。

【0006】 そこで本発明は、非選択期間の保持特性を向上させ、かつクロストークを減少させることのできるアクティブマトリクス型表示装置を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明は、複数本のゲートバスラインと複数本のデータバスラインが交差するように配設され、各々の交差位置にスイッチ用の薄膜トランジスタと画素電極とが形成され、データバスラインとゲートバスラインと薄膜トランジスタのチャネルが全部または部分的に画素電極とオーバラップした構造のアクティブマトリクス型表示装置において、データバスラインの一部が、薄膜トランジスタのチャネル上で、チャネル部分と画素電極とに併持されていることを特徴とする。

【0008】

【実施例】 以下、添付図面により本発明の一実施例を説明する。

【0009】 図1は実施例に係るアクティブマトリクス型LCDの一画素分の平面図、図2はそのA-A線断面図である。そして、これが図4および図5の従来例と異なる点は、データバスライン32の一部が拡幅され（シールド39）、薄膜トランジスタ2のチャネル部分23と画素電極5とに併持されていることである。

【0010】 ここで、半導体薄膜21は例えばポリシリコン、ゲート酸化膜22および絶縁膜41は例えばSiO₂、ゲートバスライン31およびゲート電極24はポリシリコンあるいはアルミニウムで形成される。また、絶縁膜42はポリイミド、共通電極61はITOなどで形成される。

【0011】 図3は、本実施例によりシールドを設けたときの、薄膜トランジスタのI-V特性を示している。例えば、実施例のアクティブマトリクス型LCDを投射

型プロジェクタに用いたときには、白色光で 10^5 Lux オーダーの強度で光照射がされる。すると、多重反射や透過によってチャネル部分で光電流が発生し、薄膜トランジスタのオフ電流は、シールドがないときには 10^{-9} A 程度となってしまうが（図 3 の点線）、シールドをすることにより、 10^{-12} A 程度まで抑えられる（図 3 の実線）。すなわち、薄膜トランジスタのオフ電流を 3 衍も低減できるので、非選択期間におけるデータの保持特性を向上させて、表示特性を改善することが可能になる。

【0012】更に、このシールドは、上述した光学的なシールド効果に加え、電気的なシールド効果をも合わせ持つ。つまり、シールドがない場合、従来例である図 5、6 に説明される様に、チャネル上のゲート電極は画素電極との間で容量を作っており、これがクロストークキャパシタとなって液晶印加電圧のシフトを誘起した（図 4 点線）。この電圧シフトは、液晶印加電圧の大きさやゲートパルスの深さ、更には薄膜トランジスタの絶縁膜特性のばらつきなどによって変化し、完全な補償が困難な事は公知である。これに対し、本実施例では、電気的に浮遊していないシールドをゲート電極と画素電極との間に挟む事によって、この間の容量がクロストークキャパシタとして働く事を防ぎ、液晶印加電圧のシフトを最小限に抑える事を可能にした（図 4 実線）。これは、表示特性の均一性、再現性、及び制御性の大きな改善である。

【0013】本発明は、上記実施例に限定されず、種々の変形をなし得る。例えば、薄膜トランジスタは実施例のスタガ型に限らず、逆スタガ型にしてもよい。また、高開口率のアクティブマトリクス型LCDの他に、ノーマリブラック表示のアクティブマトリクス型LCDにも適用できる。つまり、対向基板側に光シールドを設けないタイプであれば、各種の表示装置に適用できる。

【0014】

【発明の効果】 以上の通り、本発明の構成によれば、ス

イッチ用の薄膜トランジスタは拡幅されたデータラインで覆われているので、光が薄膜トランジスタのチャネルに届いて光電流を生成させることができなくなり、薄膜トランジスタのオフ電流を低減する事ができる。更に、同時に画素電極とゲート電極とのオーバラップが無くなり、クロストークキャパシタを低減する事ができる。上記 2 つの効果はいずれもアクティブマトリクス型表示装置の表示特性を改善する大きな要素である。

【図面の簡単な説明】

10 【図 1】実施例に係るアクティブマトリクス型LCDの平面図である。

【図 2】図 1 の A-A 線断面図である。

【図 3】薄膜トランジスタの I-V 特性図である。

【図 4】液晶印加電圧の時間推移を示す図である。

【図 5】従来例に係るアクティブマトリクス型LCDの平面図である。

【図 6】図 5 の A-A 線断面図である。

【符号の説明】

1 …支持基板

20 2 …薄膜トランジスタ

2 1 …半導体薄膜

2 2 …ゲート酸化膜

2 3 …チャネル部分

2 4 …ゲート電極

2 5 …ソース

2 6 …ドレイン

3 1 …ゲートバスライン

3 2 …データバスライン

3 5 …容量電極部

30 3 9 …シールド膜（拡幅されたデータバスライン 3 2）

4 1、4 2 …絶縁膜

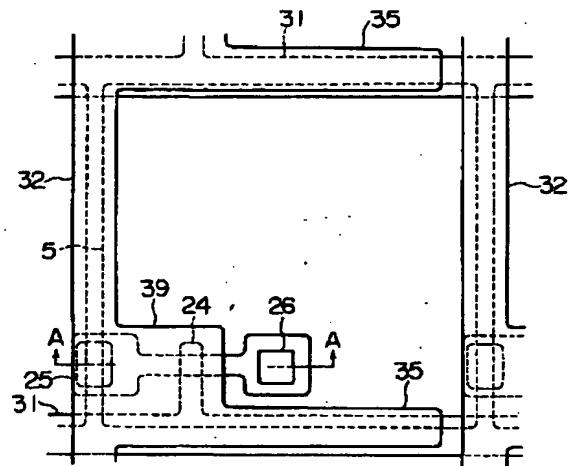
5 …画素電極

6 1 …共通電極

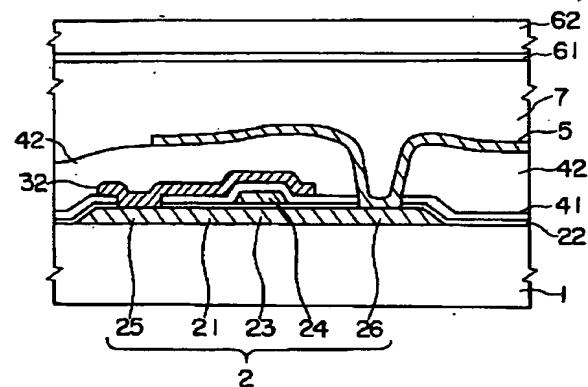
6 2 …対向基板

7 …液晶

【図 1】

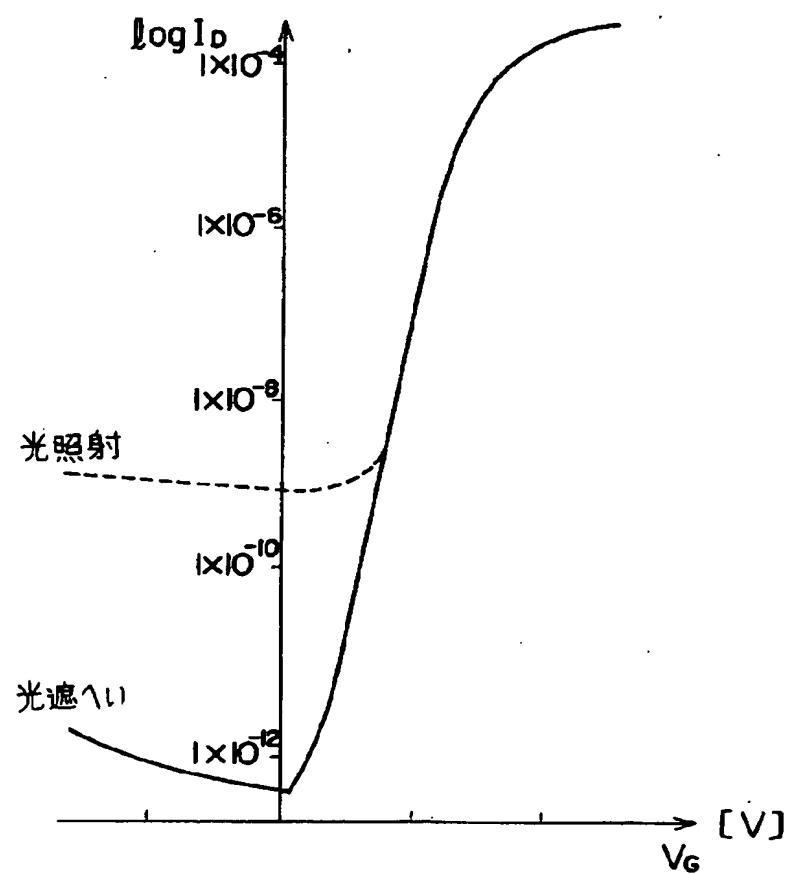


【図 2】

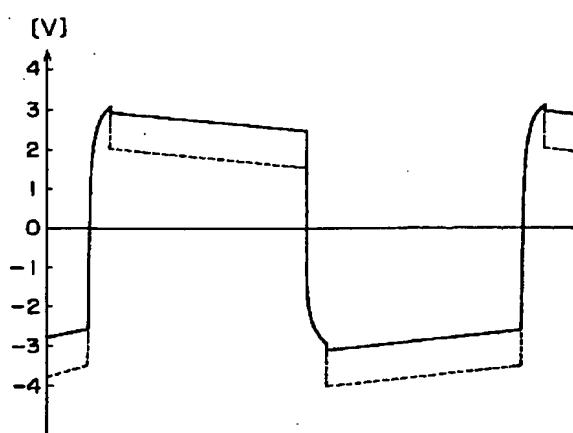


【図 3】

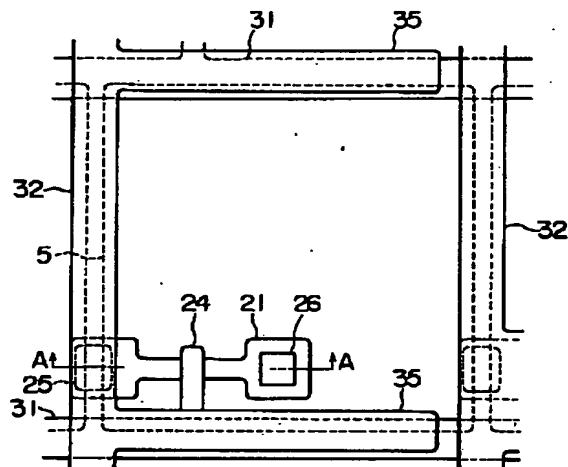
[A]



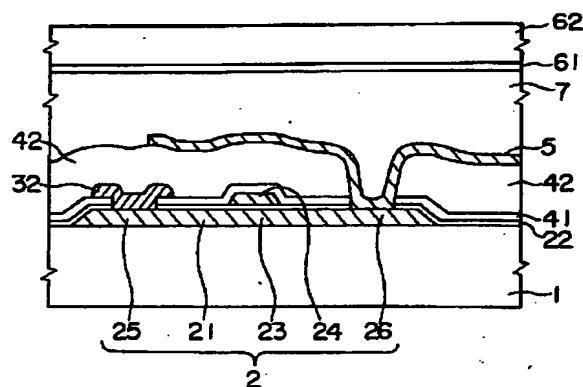
【図 4】



【図 5】



【図 6】



フロントページの続き

(51) Int. Cl.⁵

識別記号

庁内整理番号

F I

H 0 1 L 29/784

技術表示箇所